



(19)

(11) Publication number: 2002076136 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000265567

(51) Intl. Cl.: H01L 21/8238 H01L 27/092

(22) Application date: 01.09.00

(30) Priority:

(43) Date of application
publication: 15.03.02

(84) Designated
contracting states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: SAYAMA HIROKAZU

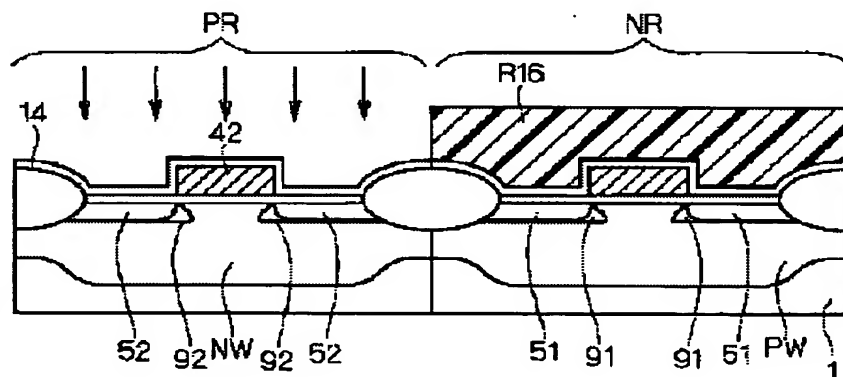
(74) Representative:

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device by which degradation of a current drive capacity is prevented and degradation of an operating speed of a semiconductor integrated circuit is prevented by preventing an increase of a parasitic resistor in consideration of an influence due to etching a semiconductor substrate to an NMOS transistor.

SOLUTION: By ion-implanting arsenic or phosphorus into a silicon substrate 1 using a gate electrode 41 as an ion-implanting mask, one pair of extension layers 51 is formed in a surface of the silicon substrate 1, and a protection insulating film 14 of 1 to 20 nm in thickness is then formed with the silicon oxide film by a CVD method on the entire surface of the silicon substrate 1. By ion-implanting boron or BF₂ in the silicon substrate 1 via the upper part of protection insulating film 14 using the gate electrode 42 as the ion-implanting mask, one pair of extension layers 52 is formed in the surface of the silicon substrate 1.



COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76136

(P2002-76136A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl.⁷

H 0 1 L 21/8238
27/092

識別記号

F I

H 0 1 L 27/08

テームト* (参考)

3 2 1 E 5 F 0 4 8

審査請求 未請求 請求項の数9 O L (全 24 頁)

(21) 出願番号 特願2000-265567 (P2000-265567)

(22) 出願日 平成12年9月1日 (2000.9.1)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 佐山 弘和

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

Fターム (参考) 5F048 AA01 AA09 AC01 AC03 BB05

BB06 BB08 BB16 BC05 BC06

BC18 BD04 BE03 BF06 BG12

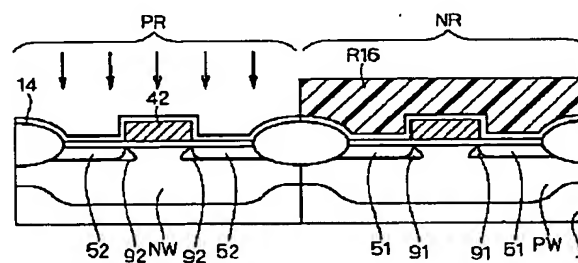
DA00 DA25 DA27 DA30

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 NMOSトランジスタに対する半導体基板のエッチングによる影響を考慮して、寄生抵抗の増大を防止することで電流駆動能力の低下を防止し、半導体集積回路の動作速度の低下を防止した半導体装置の製造方法を提供する。

【解決手段】 ゲート電極41を注入マスクとしてシリコン基板1内にヒ素あるいはリンをイオン注入して、シリコン基板1の表面内に1対のエクステンション層51を形成し、その後、シリコン基板1の全面に、CVD法によりシリコン酸化膜で厚さ1~20nmの保護絶縁膜14を形成する。そして、ゲート電極42を注入マスクとして保護絶縁膜14の上部からシリコン基板1内にボロンあるいはBF₂をイオン注入して、シリコン基板1の表面内に1対のエクステンション層52を形成する。



【特許請求の範囲】

【請求項1】 (a)半導体基板の表面内に、少なくとも第1のNMOSTランジスタおよび第1のPMOSTランジスタを形成するための第1のNMOS領域および第1のPMOS領域を規定する工程と、

(b)少なくとも前記第1のNMOS領域および前記第1のPMOS領域上に第1のゲート絶縁膜を形成する工程と、

(c)前記第1のNMOS領域および前記第1のPMOS領域の前記第1のゲート絶縁膜上に、それぞれ第1および第2のゲート電極を形成する工程と、

(d)前記第1のPMOS領域を第1のレジストマスクで覆い、前記第1のゲート電極を注入マスクとしてN型不純物をイオン注入し、前記第1のゲート電極の側面外方の前記半導体基板の表面内に1対のN型エクステンション層を形成する工程と、

(e)前記第1のレジストマスクを除去した後、前記半導体基板の全面に保護絶縁膜を形成する工程と、

(f)前記第1のNMOS領域を第2のレジストマスクで覆い、前記第2のゲート電極を注入マスクとしてP型不純物を前記保護絶縁膜上からイオン注入し、前記第2のゲート電極の側面外方の前記半導体基板の表面内に1対のP型エクステンション層を形成する工程と、を備える半導体装置の製造方法。

【請求項2】 前記工程(d)は、前記1対のN型エクステンション層の深さが $0.1\mu\text{m}$ よりも浅く、前記半導体基板表面近傍で不純物濃度が最大となり、最大不純物濃度が $1\times 10^{19}/\text{cm}^3\sim 1\times 10^{21}/\text{cm}^3$ となるように、前記1対のN型エクステンション層を形成する工程を含む、請求項1記載の半導体装置の製造方法。

【請求項3】 (a)半導体基板の表面内に、少なくとも第1のNMOSTランジスタおよび第1のPMOSTランジスタを形成するための第1のNMOS領域および第1のPMOS領域を規定する工程と、

(b)少なくとも前記第1のNMOS領域および前記第1のPMOS領域上に第1のゲート絶縁膜を形成する工程と、

(c)前記第1のNMOS領域および前記第1のPMOS領域の前記第1のゲート絶縁膜上に、それぞれ第1および第2のゲート電極を形成する工程と、

(d)前記第1のNMOS領域を第1のレジストマスクで覆い、前記第2のゲート電極を注入マスクとしてP型不純物をイオン注入し、前記第2のゲート電極の側面外方の前記半導体基板の表面内に1対のP型エクステンション層を形成する工程と、

(e)前記第1のレジストマスクを除去した後、前記PMOS領域を第2のレジストマスクで覆い、前記第1のゲート電極を注入マスクとしてN型不純物をイオン注入し、前記第1のゲート電極の側面外方の前記半導体基板

の表面内に1対のN型エクステンション層を形成する工程と、を備え、

前記工程(e)は、

前記1対のN型エクステンション層の深さが $0.1\mu\text{m}$ よりも浅く、前記半導体基板表面近傍で不純物濃度が最大となり、最大不純物濃度が $1\times 10^{19}/\text{cm}^3\sim 1\times 10^{21}/\text{cm}^3$ となるように、前記1対のN型エクステンション層を形成する工程を含む、半導体装置の製造方法。

【請求項4】 前記工程(a)は、前記第1のNMOSTランジスタよりも動作電圧が高い第2のNMOSTランジスタを形成するための第2のNMOS領域および、前記第1のPMOSTランジスタよりも動作電圧が高い第2のPMOSTランジスタを形成するための第2のPMOS領域を規定する工程を含み、

前記工程(b)は、前記第2のNMOS領域および前記第2のPMOS領域上に、前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜を形成する工程を含み、

前記工程(b)と(c)との間に、前記第2のNMOS領域および前記第2のPMOS領域の表面内に、前記第2のNMOSTランジスタの1対のN型不純物層および前記第2のPMOSTランジスタの1対のP型不純物層を形成する工程をさらに備える、請求項1または請求項2記載の半導体装置の製造方法。

【請求項5】 前記工程(e)は、前記保護絶縁膜を $1\text{nm}\sim 20\text{nm}$ の厚さに形成する工程を含む、請求項1記載の半導体装置の製造方法。

【請求項6】 前記工程(e)は、前記保護絶縁膜をCVD法によりシリコン酸化膜として形成する工程を含む、請求項5記載の半導体装置の製造方法。

【請求項7】 前記工程(e)は、前記保護絶縁膜を熱酸化法によりシリコン酸化膜として形成する工程を含む、請求項5記載の半導体装置の製造方法。

【請求項8】 前記工程(e)は、前記保護絶縁膜をCVD法によりシリコン窒化膜として形成する工程を含む、請求項5記載の半導体装置の製造方法。

【請求項9】 前記工程(e)は、前記保護絶縁膜を熱窒化法によりシリコン窒化膜として形成する工程を含む、請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に、レジスト除去に起因するエッチングダメージを低減した半導体装置の製造方法に関する。

【0002】

【従来の技術】MOSFET (Metal Oxide Silicon Field Effect Transistor) の小型化が進むとチャネル抵抗が下がるため、高駆動能力のトランジスタを得るには、できるだけ寄生抵抗を低減する必要がある。ここで、問題となるのは写真製版プロセスで使用されるレジ

ストの除去工程である。

【0003】レジストの除去はエッチングにより行うが、このエッチングにより僅かではあるが半導体基板もエッチングされる。そして、小型化により、昨今ではゲート長が0.1 μ m程度のMOSFETも開発されつつあるが、このようなMOSFETではソース・ドレイン層の深さも浅くなり、上述した半導体基板の僅かなエッチングも無視できなくなりつつある。

【0004】特に、NチャネルMOSFET（以後、NMOSTランジスタと呼称）は、PチャネルMOSFET（以後、PMOSTランジスタと呼称）よりもチャネル抵抗が小さいので、上述した半導体基板のエッチングによりソース・ドレイン層がさらに浅くなって寄生抵抗が僅かでも増加すると、ランジスタの動作特性には無視できない影響が現れる。

【0005】しかし、従来においては、レジスト除去に起因する半導体基板のエッチングについては特に課題として認識はされていなかった。例えば、NMOSTランジスタとPMOSTランジスタとを組み合わせるCMOS（Complementary MOS）ランジスタにおいては、NMOSTランジスタとPMOSTランジスタとを隣接して形成するが、NMOSTランジスタに対する特段の配慮がなされていたわけではなかった。

【0006】以下、図42～図49を用いて従来のCMOSTランジスタの製造方法について説明する。

【0007】まず、図42に示す工程において、シリコン基板1の表面内に素子分離絶縁膜2を選択的に形成して、NMOSTランジスタおよびPMOSTランジスタを形成するNMOS領域NRおよびPMOS領域PRを規定する。そして、NMOS領域NRおよびPMOS領域PRに対応して、シリコン基板1の表面内にN型不純物を含んだNウェル領域NWとP型不純物を含んだPウェル領域PWとを形成する。そして、シリコン基板1上にゲート絶縁膜3を形成し、その上にポリシリコン膜4を形成する。

【0008】次に、図43に示す工程においてポリシリコン膜4上にレジスト（図示せず）を配設し、写真製版により当該レジストをパターンニングしてレジストマスクを形成する。そして、レジストマスクを用いてポリシリコン膜4をパターンニングし、NMOS領域NRおよびPMOS領域PR上にゲート電極41および42を形成する。

【0009】次に、図44に示す工程において写真製版によりPMOS領域PR上を覆うようにレジストマスクR1を形成し、NMOS領域NRにおいてはゲート電極41を注入マスクとしてシリコン基板1内にN型不純物をイオン注入し、シリコン基板1の表面内に1対のエクステンション層51を形成する。1対のエクステンション層51はゲート電極41の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。な

お、ゲート電極41の下部のシリコン基板1の領域がチャンネル領域となる。

【0010】ここで、エクステンション層は、後に形成されるソース・ドレイン主要層よりも浅い接合となるように形成される不純物導入層であり、ソース・ドレイン主要層と同一導電型であり、ソース・ドレイン層として機能するのでソース・ドレインエクステンション層と呼称すべきであるが、便宜的にエクステンション層と呼称する。

【0011】レジストマスクR1を除去した後、図45に示す工程において、写真製版によりNMOS領域NR上を覆うようにレジストマスクR2を形成し、PMOS領域PRにおいてはゲート電極42を注入マスクとしてシリコン基板1内にP型不純物をイオン注入し、シリコン基板1の表面内に1対のエクステンション層52を形成する。1対のエクステンション層52はゲート電極42の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極42の下部のシリコン基板1の領域がチャンネル領域となる。

【0012】レジストマスクR2を除去した後、図46に示す工程において、シリコン基板1の全面を覆うようにシリコン酸化膜（図示せず）を形成し、当該シリコン酸化膜をゲート電極41および42の側壁部のみに残るように、ゲート電極41および42の側面外方のシリコン基板1上のゲート絶縁膜3とともに異方性エッチングにより除去して、側壁保護膜（サイドウォール絶縁膜）6を形成する。

【0013】なお、側壁保護膜6はゲート電極41および42の側面外方のシリコン基板1上のゲート絶縁膜3の上部にも形成され、当該ゲート絶縁膜3と側壁保護膜6とで2層構造となるが、簡略化のため図46以後においては1層の側壁保護膜6として示している。

【0014】次に、図47に示す工程において写真製版によりPMOS領域PR上を覆うようにレジストマスクR3を形成し、NMOS領域NRにおいてはゲート電極41および側壁保護膜6を注入マスクとしてシリコン基板1内にN型不純物をイオン注入し、シリコン基板1の表面内に1対のソース・ドレイン層71を形成する。

【0015】レジストマスクR3を除去した後、図48に示す工程において、写真製版によりNMOS領域NR上を覆うようにレジストマスクR4を形成し、PMOS領域PRにおいてはゲート電極42および側壁保護膜6を注入マスクとしてシリコン基板1内にP型不純物をイオン注入し、シリコン基板1の表面内に1対のソース・ドレイン層72を形成する。

【0016】次に、図49に示す工程において、シリコン基板1の全面を覆うようにタングステン、コバルトあるいはチタン等の高融点金属膜を形成し、高温処理によりシリサイド化して、シリコン基板1、ゲート電極41および42の露出面と高融点金属膜の接触している部分

にシリサイド膜10を形成する。その後、シリサイド化されずに残った高融点金属膜を除去することで、図49に示すCMOSトランジスタ90が得られる。

【0017】

【発明が解決しようとする課題】以上説明したように、従来の製造方法においては、NMOS領域NRのエクステンション層51は、レジストマスクR1およびR2の除去工程において2回のエッチングを被り、ゲート絶縁膜3はこれを阻止できない。なお、レジストマスクR3およびR4を除去する工程においてはエクステンション層51ではなく、ソース・ドレイン層71がエッチングを被る。

【0018】先に説明したようにエクステンション層は、ソース・ドレイン主要層よりも浅く形成されているので、シリコン基板1がエッチングされることによる影響はソース・ドレイン主要層よりも顕著に現れる。しかも、NMOSTランジスタとPMOSTランジスタとでは、使用するキャリアの移動度の違いから、NMOSTランジスタの方がチャネル抵抗が低く、寄生抵抗である拡散層の抵抗の増大による影響はPMOSTランジスタよりも大きい。

【0019】このように、従来の半導体装置の製造方法においては、NMOSTランジスタに対する半導体基板のエッチングによる影響を考慮していなかったため、寄生抵抗の増大に伴う電流駆動能力の低下、ひいては半導体集積回路の動作速度の低下を招くという問題を有していた。

【0020】本発明は上記のような問題点を解消するためになされたもので、NMOSTランジスタに対する半導体基板のエッチングによる影響を考慮して、寄生抵抗の増大を防止することで電流駆動能力の低下を防止し、半導体集積回路の動作速度の低下を防止した半導体装置の製造方法を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明に係る請求項1記載の半導体装置の製造方法は、半導体基板の表面内に、少なくとも第1のNMOSTランジスタおよび第1のPMOSTランジスタを形成するための第1のNMOS領域および第1のPMOS領域を規定する工程(a)と、少なくとも前記第1のNMOS領域および前記第1のPMOS領域上に第1のゲート絶縁膜を形成する工程(b)と、前記第1のNMOS領域および前記第1のPMOS領域の前記第1のゲート絶縁膜上に、それぞれ第1および第2のゲート電極を形成する工程(c)と、前記第1のPMOS領域を第1のレジストマスクで覆い、前記第1のゲート電極を注入マスクとしてN型不純物をイオン注入し、前記第1のゲート電極の側面外方の前記半導体基板の表面内に1対のN型エクステンション層を形成する工程(d)と、前記第1のレジストマスクを除去した後、前記半導体基板の全面に保護絶縁膜を形成する工程(e)

と、前記第1のNMOS領域を第2のレジストマスクで覆い、前記第2のゲート電極を注入マスクとしてP型不純物を前記保護絶縁膜上からイオン注入し、前記第2のゲート電極の側面外方の前記半導体基板の表面内に1対のP型エクステンション層を形成する工程(f)とを備えている。

【0022】本発明に係る請求項2記載の半導体装置の製造方法は、前記工程(d)が、前記1対のN型エクステンション層の深さが $0.1\mu\text{m}$ よりも浅く、前記半導体基板表面近傍で不純物濃度が最大となり、最大不純物濃度が $1\times 10^{19}/\text{cm}^3\sim 1\times 10^{21}/\text{cm}^3$ となるように、前記1対のN型エクステンション層を形成する工程を含んでいる。

【0023】本発明に係る請求項3記載の半導体装置の製造方法は、半導体基板の表面内に、少なくとも第1のNMOSTランジスタおよび第1のPMOSTランジスタを形成するための第1のNMOS領域および第1のPMOS領域を規定する工程(a)と、少なくとも前記第1のNMOS領域および前記第1のPMOS領域上に第1のゲート絶縁膜を形成する工程(b)と、前記第1のNMOS領域および前記第1のPMOS領域の前記第1のゲート絶縁膜上に、それぞれ第1および第2のゲート電極を形成する工程(c)と、前記第1のNMOS領域を第1のレジストマスクで覆い、前記第2のゲート電極を注入マスクとしてP型不純物をイオン注入し、前記第2のゲート電極の側面外方の前記半導体基板の表面内に1対のP型エクステンション層を形成する工程(d)と、前記第1のレジストマスクを除去した後、前記PMOS領域を第2のレジストマスクで覆い、前記第1のゲート電極を注入マスクとしてN型不純物をイオン注入し、前記第1のゲート電極の側面外方の前記半導体基板の表面内に1対のN型エクステンション層を形成する工程(e)とを備え、前記工程(e)が、前記1対のN型エクステンション層の深さが $0.1\mu\text{m}$ よりも浅く、前記半導体基板表面近傍で不純物濃度が最大となり、最大不純物濃度が $1\times 10^{19}/\text{cm}^3\sim 1\times 10^{21}/\text{cm}^3$ となるように、前記1対のN型エクステンション層を形成する工程を含んでいる。

【0024】本発明に係る請求項4記載の半導体装置の製造方法は、前記工程(a)が、前記第1のNMOSTランジスタよりも動作電圧が高い第2のNMOSTランジスタを形成するための第2のNMOS領域および、前記第1のPMOSTランジスタよりも動作電圧が高い第2のPMOSTランジスタを形成するための第2のPMOS領域を規定する工程を含み、前記工程(b)は、前記第2のNMOS領域および前記第2のPMOS領域上に、前記第1のゲート絶縁膜よりも厚い第2のゲート絶縁膜を形成する工程を含み、前記工程(b)と(c)との間に、前記第2のNMOS領域および前記第2のPMOS領域の表面内に、前記第2のNMOSTランジスタの1対の

N型不純物層および前記第2のPMOSTランジスタの1対のP型不純物層を形成する工程をさらに備えている。

【0025】本発明に係る請求項5記載の半導体装置の製造方法は、前記工程(e)が、前記保護絶縁膜を1nm～20nmの厚さに形成する工程を含んでいる。

【0026】本発明に係る請求項6記載の半導体装置の製造方法は、前記工程(e)が、前記保護絶縁膜をCVD法によりシリコン酸化膜として形成する工程を含んでいる。

【0027】本発明に係る請求項7記載の半導体装置の製造方法は、前記工程(e)が、前記保護絶縁膜を熱酸化法によりシリコン酸化膜として形成する工程を含んでいる。

【0028】本発明に係る請求項8記載の半導体装置の製造方法は、前記工程(e)が、前記保護絶縁膜をCVD法によりシリコン窒化膜として形成する工程を含んでいる。

【0029】本発明に係る請求項9記載の半導体装置の製造方法は、前記工程(e)が、前記保護絶縁膜を熱窒化法によりシリコン窒化膜として形成する工程を含んでいる。

【0030】

【発明の実施の形態】<A. 実施の形態1>CMOSTランジスタの製造において、NMOS領域のエクステンション層が浅くなることを防止するための最も単純な方法としては、NMOS領域のエクステンション層をPMOS領域よりも後に形成すれば良い。

【0031】すなわち、CMOSTランジスタにおいてエクステンション層およびソース・ドレイン主要層を形成するには、NMOS領域およびPMOS領域のそれぞれにおいて、レジストマスクの形成のための写真製版工程が少なくとも2回は必要であるが、PMOS領域におけるエクステンション層の形成を、NMOS領域よりも先に行うことで、NMOS領域のエクステンション層がエッチングを被る回数を低減することができ、エクステンション層が浅くなることを防止することができる。

【0032】<A-1. 製造方法>以下、図1～図10を用いて本発明に係る実施の形態1として、CMOSTランジスタ100の製造方法について説明する。なお、CMOSTランジスタ100の構成は、最終工程を説明する図10において示される。

【0033】まず、図1に示す工程において、シリコン基板1の表面内に素子分離絶縁膜2を選択的に形成して、NMOSTランジスタおよびPMOSTランジスタを形成するNMOS領域NRおよびPMOS領域PRを規定する。そして、NMOS領域NRおよびPMOS領域PRに対応して、シリコン基板1の表面内にN型不純物を含んだNウェル領域NWとP型不純物を含んだPウェル領域PWとを形成する。

【0034】さらに、シリコン基板1上全面にシリコン酸化膜、シリコン窒化膜、金属酸化膜あるいはこれらの組み合わせで構成される多層膜によってゲート絶縁膜3を形成する。ゲート絶縁膜3の厚さはシリコン酸化膜の誘電率で換算した膜厚（以下、換算膜厚と呼称）が1nm～20nm程度となるように設定される。

【0035】そして、ゲート絶縁膜3の上部全面にCVD法により厚さ50～300nmのポリシリコン膜4を形成する。なお、ポリシリコン膜4は、リン(P)やボロン(B)などの不純物を有したドーパントポリシリコン膜であっても良いし、ノンドーパントポリシリコン膜であっても良い。ドーパントポリシリコンの形成においては、CVD法による堆積中に不純物を導入するようにしても良いし、ノンドーパントポリシリコン膜を形成した後にイオン注入により不純物を導入するようにしても良い。また、リンやボロンなどの不純物だけでなく、フッ素(F)や窒素(N)などの不純物を有していても良い。

【0036】また、ポリシリコン膜の代わりに、アモルファスシリコン膜を形成するようにしても良い。

【0037】次に、図2に示す工程においてポリシリコン膜4上全面にレジスト（図示せず）を配設し、写真製版により当該レジストをパターニングしてレジストマスクを形成する。そして、レジストマスクを用いてポリシリコン膜4をパターニングし、NMOS領域NRおよびPMOS領域PR上にゲート電極41および42を形成する。

【0038】次に、図3に示す工程において写真製版によりNMOS領域NR上を覆うようにレジストマスクR11を形成する。そして、シリコン基板1を最大で60°程度傾け、PMOS領域PRにおいてシリコン基板1内にヒ素(As)あるいはリンのN型不純物をイオン注入してポケット層92を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。

【0039】この注入に際しては、所定方向からの注入が終了すると、次に、シリコン基板1を所定角度で面内回転させて再び注入を行うというように、シリコン基板1を断続的に回転させることで、ゲート電極42の側面外方のシリコン基板1内に斜め方向からN型不純物を注入することができる。

【0040】ポケット層92はシリコン基板1の主面に対して斜め方向に延在するように形成され、その先端部はゲート電極42の下部の領域まで延在している。なお、ポケット層92はゲート電極42の下部の領域にできるだけ入り込むようにすることが望ましいが、シリコン基板1の傾斜角度は半導体装置のレイアウトによって決まり、図3のように比較的大きな角度で注入せざるを得ず、ゲート電極42の下部の領域にはあまり入り込めない場合もある。

【0041】ポケット層92はソース・ドレイン層とは

反対の導電型の不純物を含み、ドレイン層からの空乏層の水平方向の広がりを抑制してパンチスルーを防止する目的で設けられている。なお、ポケット層92はゲート電極42の下部において局所的に不純物濃度を高めているだけなので、しきい値電圧を上昇させることはない。

【0042】次に、図4に示す工程において、シリコン基板1の傾きを元に戻し、ゲート電極42を注入マスクとしてシリコン基板1内にボロンあるいは BF_2 をイオン注入して、シリコン基板1の表面内に1対のエクステンション層52を形成する。この注入条件は、注入エネルギー $1\text{keV}\sim 50\text{keV}$ 、ドーズ量 $1\times 10^{13}\sim 4\times 10^{15}/\text{cm}^2$ である。

【0043】1対のエクステンション層52はゲート電極42の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極42の下部のシリコン基板1の領域がチャンネル領域となる。

【0044】ここで、エクステンション層は、後に形成されるソース・ドレイン主要層よりも浅い接合となるように形成される不純物導入層であり、ソース・ドレイン主要層と同一導電型であり、ソース・ドレイン層として機能するのでソース・ドレインエクステンション層と呼称すべきであるが、便宜的にエクステンション層と呼称する。

【0045】なお、エクステンション層52の形成によりポケット層92はその大部分がエクステンション層52に覆われるが、エクステンション層52の先端部の先のチャンネル領域においてはポケット層92が残っている。

【0046】次に、レジストマスクR11を除去した後、図5に示す工程において、写真製版によりPMOS領域PR上を覆うようにレジストマスクR12を形成する。そして、シリコン基板1を最大で 60° 程度傾け、NMOS領域NRにおいてシリコン基板1内にボロン等のP型不純物をイオン注入してポケット層91を形成する。この注入条件は、注入エネルギー $1\text{keV}\sim 50\text{keV}$ 、ドーズ量 $1\times 10^{13}\sim 1\times 10^{14}/\text{cm}^2$ である。

【0047】ポケット層91はシリコン基板1の主面に対して斜め方向に延在するように形成され、その先端部はゲート電極41の下部の領域まで延在している。

【0048】ポケット層91はソース・ドレイン層とは反対の導電型の不純物を含み、パンチスルーを防止する目的で設けられていることは、ポケット層92と同様である。

【0049】次に、図6に示す工程において、シリコン基板1の傾きを元に戻し、ゲート電極41を注入マスクとしてシリコン基板1内にヒ素あるいはリンをイオン注入して、シリコン基板1の表面内に1対のエクステンション層51を形成する。この注入条件は、注入エネルギー $1\text{keV}\sim 50\text{keV}$ 、ドーズ量 $1\times 10^{13}\sim 4\times 1$

$0^{15}/\text{cm}^2$ である。

【0050】1対のエクステンション層51はゲート電極41の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極41の下部のシリコン基板1の領域がチャンネル領域となる。

【0051】なお、エクステンション層51の形成によりポケット層91はその大部分がエクステンション層51に覆われるが、エクステンション層51の先端部の先のチャンネル領域においてはポケット層91が残っている。

【0052】レジストマスクR12を除去した後、図7に示す工程において、シリコン基板1の全面を覆うように厚さ $10\sim 200\text{nm}$ のシリコン酸化膜（図示せず）をCVD法により形成し、当該シリコン酸化膜をゲート電極41および42の側壁部のみに残るように、ゲート電極41および42の側面外方のシリコン基板1上のゲート絶縁膜3とともに異方性エッチングにより除去して側壁保護膜（サイドウォール絶縁膜）6を形成する。なお、側壁保護膜はシリコン酸化膜に限定されず、シリコン窒化膜でも良いし、シリコン酸化膜とシリコン窒化膜との積層膜であっても良い。

【0053】また、側壁保護膜6はゲート電極41および42の側面外方のシリコン基板1上のゲート絶縁膜3の上部にも形成され、当該ゲート絶縁膜3と側壁保護膜6とで2層構造となるが、簡略化のため図7以後においては1層の側壁保護膜6として示している。

【0054】次に、図8に示す工程において、写真製版によりNMOS領域NR上を覆うようにレジストマスクR13を形成し、PMOS領域PRにおいてはゲート電極42および側壁保護膜6を注入マスクとしてシリコン基板1内にボロンあるいは BF_2 等のP型不純物をイオン注入して、シリコン基板1の表面内に1対のソース・ドレイン主要層72を形成する。この注入条件は、注入エネルギー $10\text{keV}\sim 100\text{keV}$ 、ドーズ量 $1\times 10^{14}\sim 1\times 10^{16}/\text{cm}^2$ である。

【0055】レジストマスクR13を除去した後、図9に示す工程において、写真製版によりPMOS領域PR上を覆うようにレジストマスクR14を形成し、NMOS領域NRにおいてはゲート電極41および側壁保護膜6を注入マスクとしてシリコン基板1内にヒ素等のN型不純物をイオン注入し、シリコン基板1の表面内に1対のソース・ドレイン主要層71を形成する。この注入条件は、注入エネルギー $10\text{keV}\sim 100\text{keV}$ 、ドーズ量 $1\times 10^{14}\sim 1\times 10^{16}/\text{cm}^2$ である。

【0056】その後、 $800\sim 1100^\circ\text{C}$ の温度条件下で、1秒 ~ 360 分の熱処理を行うことでソース・ドレイン主要層71および72を活性化する。

【0057】なお、ソース・ドレイン主要層71および72はエクステンション層51および52よりも接合深さが深くなるように形成される。

【0058】次に、図10に示す工程において、シリコン基板1の全面を覆うように厚さ1～16nmの高融点金属膜、例えばコバルト膜（図示せず）を形成し、高温処理によりシリサイド化して、シリコン基板1、ゲート電極41および42の露出面とコバルト膜との接触部分にコバルトシリサイド膜8Aおよび10Aを形成する。その後、シリサイド化されずに残ったコバルト膜を除去することで、CMOSTランジスタ100が得られる。

【0059】＜A-2. 作用効果＞以上説明したように、CMOSTランジスタにおいてエクステンション層およびソース・ドレイン主要層を形成するには、NMOS領域およびPMOS領域のそれぞれにおいて、レジストマスクの形成のために2回の写真製版工程を行う。

【0060】そして、レジストマスクの除去においてはアンモニア過水（アンモニア、過酸化水素水、水の混合液）をエッチング液として使用するのでシリコン基板1が僅かながらもエッチングされる。NMOS領域NRのエクステンション層51は、図6に示す工程でエクステンション層51を形成した後に、側壁保護膜6の形成前までは、図7に示す工程でPMOS領域PRのレジストマスクR12を除去する際にエッチングを被るだけである。従って、側壁保護膜6の形成までにエクステンション層51が2回のエッチングを被っていた従来の製造方法に比べてエッチング量は少なくなる。

【0061】この結果、CMOSTランジスタ100において最終的に残るエクステンション層51の接合深さが浅くなって、抵抗値すなわち、寄生抵抗値が増大することが防止され、電流駆動能力の低下が防止されて、半導体集積回路の動作速度の低下が防止されることになる。

【0062】なお、PMOS領域PRのエクステンション層52は、レジストマスクR11およびR12の除去によって2回のエッチングを被ることになるが、P型不純物は、N型不純物に比べて拡散量が大きく、P型不純物拡散層であるエクステンション層52はN型不純物拡散層であるエクステンション層51よりも深く形成されている。従って、エッチングにより除去される量がエクステンション層52よりも多くても、それによってエクステンション層51の抵抗がエクステンション層52よりも大きくなるということはない。すなわち、エッチングに対する余裕度は、エクステンション層52の方が大きい。

【0063】なお、エクステンション層51および52の接合深さは、設計ルールやゲート長等で定義される半導体装置の集積度によって異なるが、本発明はエクステンション層の接合深さが0.1μm以下、その最大不純物濃度が $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の半導体装置への適用を想定している。

【0064】図11にエクステンション層51および52における不純物濃度分布を示す。図11において、横

軸に基板表面からの深さを、縦軸に不純物濃度を示し、この例では基板表面近傍で最大不純物濃度が $1 \times 10^{21} / \text{cm}^3$ 、深さ0.1μmの位置での不純物濃度が $1 \times 10^{15} / \text{cm}^3$ となっている。

【0065】図11に示されるようにエクステンション層51および52においては、基板表面近傍において不純物濃度が最大となり、基板内深くになるにつれて濃度が下がるような分布となっている。なお、このような構成のエクステンション層を使用することで、抵抗値を低くでき、また短チャネル効果の抑制を効果的に行うことができる。

【0066】また、先に説明したようにNMOSTランジスタとPMOSTランジスタとは、使用するキャリアの移動度の違いから、NMOSTランジスタの方がチャネル抵抗が低く、寄生抵抗である拡散層の抵抗の増大による影響はPMOSTランジスタよりも大きいので、エクステンション層51の抵抗値の増大を優先的に防止することは、半導体集積回路の動作速度の低下を防止するという点でより有効である。

【0067】なお、NMOS領域NRのソース・ドレイン主要層71はレジストマスクR14の除去に際して、またPMOS領域PRのソース・ドレイン主要層72はレジストマスクR13およびR14の除去に際してエッチングを被るが、ソース・ドレイン主要層71および72の表面には、図10を用いて説明したようにコバルトシリサイド膜8Aが形成され、抵抗値は低く保たれるので、エッチングにより接合深さが浅くなることによる影響は小さくなる。

【0068】＜B. 実施の形態2＞以上説明した本発明に係る実施の形態1においては、NMOS領域のエクステンション層51をPMOS領域のエクステンション層52よりも後に形成することで、NMOS領域のエクステンション層51がエッチングを被る回数を低減して、エクステンション層が浅くなることを防止する方法について説明したが、以下に説明する本発明に係る実施の形態2においては、エクステンション層を保護絶縁膜で覆うことでエクステンション層のエッチングを防止する方法について説明する。

【0069】＜B-1. 製造方法＞以下、図12～図19を用いて本発明に係る実施の形態2として、CMOSTランジスタ200の製造方法について説明する。なお、CMOSTランジスタ200の構成は、最終工程を説明する図19において示される。なお、実施の形態1と同一の構成については同一の符号を付し、重複する説明は省略する。

【0070】まず、図1および図2を用いて説明した工程を経て、NMOS領域NRおよびPMOS領域PR上にゲート電極41および42をパターンニングする。

【0071】次に、図12に示す工程において、写真製版によりPMOS領域PR上を覆うようにレジストマス

クR15を形成する。そして、シリコン基板1を最大で60°程度傾け、NMOS領域NRにおいてシリコン基板1内にボロン等のP型不純物をイオン注入してポケット層91を形成する。この注入条件は、注入エネルギー1keV~50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。

【0072】ポケット層91はシリコン基板1の主面に対して斜め方向に延在するように形成され、その先端部はゲート電極41の下部の領域まで延在している。

【0073】次に、図13に示す工程において、シリコン基板1の傾きを元に戻し、ゲート電極41を注入マスクとしてシリコン基板1内にヒ素あるいはリンをイオン注入して、シリコン基板1の表面内に1対のエクステンション層51を形成する。この注入条件は、注入エネルギー1keV~50keV、ドーズ量 $1 \times 10^{13} \sim 4 \times 10^{15} / \text{cm}^2$ である。

【0074】次に、レジストマスクR15を除去した後、図14に示す工程において、シリコン基板1の全面に、CVD法によりシリコン酸化膜で厚さ1~20nmの保護絶縁膜14を形成する。なお、CVD法により形成したシリコン酸化膜はステップカバレッジの良好な保護絶縁膜14となる。

【0075】次に、図15に示す工程において、写真製版によりNMOS領域NR上を覆うようにレジストマスクR16を形成する。そして、シリコン基板1を最大で60°程度傾け、PMOS領域PRにおいてシリコン基板1内にヒ素(As)あるいはリン等のN型不純物をイオン注入してポケット層92を形成する。この注入条件は、注入エネルギー1keV~50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。ポケット層92はシリコン基板1の主面に対して斜め方向に延在するように形成され、その先端部は、ゲート電極42の下部の領域まで延在している。

【0076】次に、図16に示す工程において、シリコン基板1の傾きを元に戻し、ゲート電極42を注入マスクとしてシリコン基板1内にボロンあるいはBF₃をイオン注入して、シリコン基板1の表面内に1対のエクステンション層52を形成する。この注入条件は、注入エネルギー1keV~50keV、ドーズ量 $1 \times 10^{13} \sim 4 \times 10^{15} / \text{cm}^2$ である。

【0077】レジストマスクR16を除去した後、図17に示す工程において、保護絶縁膜14の上部全面を覆うように厚さ10~200nmのシリコン酸化膜6をCVD法により形成する。

【0078】次に、図18に示す工程において、保護絶縁膜14およびシリコン酸化膜6がゲート電極41および42の側壁部に残るように、ゲート電極41および42の側面外方のシリコン基板1上のゲート絶縁膜3とともに保護絶縁膜14およびシリコン酸化膜6を異方性エッチングにより除去して、側壁保護膜(サイドウォール

絶縁膜)16を形成する。

【0079】側壁保護膜16は保護絶縁膜14とシリコン酸化膜6とで2層構造となり、ゲート電極41および42の側面外方のシリコン基板1上のゲート絶縁膜3の上部にも形成される。

【0080】以後は、図8を用いて説明した工程と同様の工程を経て、PMOS領域PRにおいてゲート電極42および側壁保護膜16を注入マスクとしてシリコン基板1内にボロンあるいはBF₃等のP型不純物をイオン注入して、シリコン基板1の表面内に1対のソース・ドレイン主要層72を形成し、また、図9を用いて説明した工程と同様の工程を経て、NMOS領域NRにおいてゲート電極41および側壁保護膜16を注入マスクとしてシリコン基板1内にヒ素等のN型不純物をイオン注入し、シリコン基板1の表面内に1対のソース・ドレイン主要層71を形成する。なお、ソース・ドレイン主要層71および72の形成順序は、上記に限定されるものではない。

【0081】その後、800~1100℃の温度条件下で、1秒~360分の熱処理を行うことでソース・ドレイン主要層71および72を活性化する。

【0082】そして、図19に示す工程において、シリコン基板1の全面を覆うように厚さ1~16nmの高融点金属膜、例えばコバルト膜(図示せず)を形成し、高温処理によりシリサイド化して、シリコン基板1、ゲート電極41および42の露出面とコバルト膜との接触部分にコバルトシリサイド膜8Aおよび10Aを形成する。その後、シリサイド化されずに残ったコバルト膜を除去することで、CMOSトランジスタ200が得られる。

【0083】<B-2. 作用効果>以上説明したように、本実施の形態においては、NMOS領域NRのエクステンション層51はPMOS領域PRのエクステンション層52よりも先に形成することになるが、図13に示す工程でエクステンション層51を形成した後に、PMOS領域PRのレジストマスクR15を除去する際にエッチングを被るだけであり、その後は保護絶縁膜14で覆われて保護されるのでエッチングを被ることはなく、エクステンション層51が2回のエッチングを被っていた従来の製造方法に比べてエッチング量は少なくなる。

【0084】この結果、エクステンション層51の接合深さが浅くなって、抵抗値すなわち、寄生抵抗値が増大することが防止され、電流駆動能力の低下が防止されて、半導体集積回路の動作速度の低下が防止されることになる。

【0085】また、エクステンション層51を構成するヒ素やリンは、エクステンション層52を構成するボロンに比べて拡散係数が小さく、エクステンション層52を形成後にエクステンション層51を形成する場合に

は、エクステンション層51の活性化のための熱処理を行うと、その条件ではエクステンション層52のボロンが拡散し過ぎるので、エクステンション層52の活性化に十分な熱処理（高温、長時間）ができないが、本実施の形態においては、エクステンション層51を先に形成できるので、エクステンション層51形成直後に、エクステンション層51の活性化のための熱処理を行うことができ、イオン注入による基板の損傷回復や不純物の拡散を確実に行うことができる。

【0086】なお、熱処理は、エクステンション層52の形成後にも行うので、その際にもエクステンション層51の活性化が促進されることを考慮して、エクステンション層51形成直後の熱処理条件が設定される。

【0087】なお、NMOS領域NRおよびPMOS領域PR上にゲート電極41および42をパターニングした直後に保護絶縁膜14を形成し、NMOS領域NRおよびPMOS領域PRに、エクステンション層51および52を形成するようにしても良い。この場合、エクステンション層51を構成するヒ素あるいはリンは、エクステンション層52を構成するボロンや BF_2 と同様に保護絶縁膜14およびゲート絶縁膜3中に注入され、熱処理により拡散してシリコン基板1中に浅い拡散層であるエクステンション層51および52を形成することになる。但し、特にヒ素はシリコン酸化膜中に拡散しにくいので、よりシリコン基板1に近い位置に注入する、エクステンション層51を先に形成して熱処理を行い、エクステンション層52の形成後に、エクステンション層52の拡散のための熱処理を利用して再度熱処理を行うなどの工夫が望ましい。

【0088】＜B-3. 変形例＞以上の説明においては、保護絶縁膜14をCVD法により形成するとしたが、CVD法に限定されるものではなく、熱酸化法により形成しても良い。基板表面の保護絶縁膜である保護絶縁膜14を膜厚制御の容易な熱酸化により形成することで、膜厚のばらつきによるデバイス特性のばらつきを低減できる。

【0089】また、基板表面の保護絶縁膜としてはシリコン酸化膜に限定されるのではなく、シリコン窒化膜の代わりにCVD法により形成したシリコン窒化膜を用いても良い。

【0090】シリコン窒化膜はシリコン酸化膜に比べて、アンモニア過水に対してエッチングされにくいので、シリコン酸化膜を使用する場合よりも薄く、厚さ1～15nmに設定され、デバイス特性への影響を軽減することができる。

【0091】また、上記シリコン窒化膜は熱窒化法により形成しても良い。膜厚制御の容易な熱窒化により形成することで、膜厚のばらつきによるデバイス特性のばらつきを低減できる。

【0092】＜C. 実施の形態3＞以上説明した実施の

形態1および2においては、1種類のCMOSトランジスタを例に採り、特にNMOS領域での半導体基板のエッチングを防止する方法について説明したが、本発明に係る実施の形態3においては、異なる電源電圧で動作する2種類のCMOSトランジスタを例に採り、NMOS領域での半導体基板のエッチングを防止する方法について説明する。

【0093】＜C-1. 製造方法＞以下、図20～図33を用いて本発明に係る実施の形態3として、低電圧CMOSトランジスタ100Aおよび高電圧CMOSトランジスタ100Bを有する半導体装置の製造方法について説明する。なお、低電圧CMOSトランジスタ100Aおよび高電圧CMOSトランジスタ100Bの構成は、最終工程を説明する図33において示される。なお、実施の形態1と同一の構成については同一の符号を付し、重複する説明は省略する。

【0094】まず、図20に示す工程において、シリコン基板1の表面内に素子分離絶縁膜2を選択的に形成して、低電圧NMOSトランジスタおよび低電圧PMOSトランジスタを形成する低電圧NMOS領域LNRおよび低電圧PMOS領域LPRを規定するとともに、高電圧NMOSトランジスタおよび高電圧PMOSトランジスタを形成する高電圧NMOS領域HNRおよび高電圧PMOS領域HPRを規定する。

【0095】そして、低電圧NMOS領域LNRおよび高電圧NMOS領域HNR、低電圧PMOS領域LPRおよび高電圧PMOS領域HPRに対応して、シリコン基板1の表面内にP型不純物を含んだPウエル領域PW、N型不純物を含んだNウエル領域NWとを形成する。

【0096】さらに、シリコン基板1の低電圧NMOS領域LNRおよび低電圧PMOS領域LPR上全面に、シリコン酸化膜、シリコン窒化膜、金属酸化膜あるいはこれらの組み合わせで構成される多層膜によってゲート絶縁膜3Aを形成する。また、シリコン基板1の高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上全面にはシリコン酸化膜、シリコン窒化膜、金属酸化膜あるいはこれらの組み合わせで構成される多層膜でゲート絶縁膜3Bを形成する。

【0097】ここで、ゲート絶縁膜3Aの厚さはシリコン酸化膜への換算膜厚が1nm～4nm程度となるように設定され、ゲート絶縁膜3Bの厚さはシリコン酸化膜への換算膜厚が5nm～10nm程度となるように設定される。

【0098】そして、ゲート絶縁膜3Aおよび3Bの上部全面にCVD法により厚さ50～300nmのポリシリコン膜4を形成する。

【0099】次に、図21に示す工程においてポリシリコン膜4上全面にレジスト（図示せず）を配設し、写真製版により当該レジストをパターニングしてレジストマ

スクを形成する。そして、レジストマスクを用いてポリシリコン膜4をパターンニングし、低電圧NMOS領域LNRおよび低電圧PMOS領域LPR上にはゲート電極41および42を形成し、高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上にはゲート電極43および44を形成する。

【0100】次に、図22に示す工程において写真製版により、低電圧NMOS領域LNR、低電圧PMOS領域PRおよび高電圧PMOS領域HPR上を覆うようにレジストマスクR21を形成する。そして、高電圧NMOS領域HNRにおいては、ゲート電極43を注入マスクとしてシリコン基板1内にヒ素あるいはリンをイオン注入して、シリコン基板1の表面内に1対のエクステンション層25を形成する。この注入条件は、注入エネルギー1keV~50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ である。

【0101】1対のエクステンション層25はゲート電極43の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極43の下部のシリコン基板1の領域がチャネル領域となる。

【0102】レジストマスクR21を除去した後、図23に示す工程において写真製版により、低電圧NMOS領域LNR、低電圧PMOS領域LPRおよび高電圧NMOS領域HNR上を覆うようにレジストマスクR22を形成する。そして、高電圧PMOS領域HPRにおいては、ゲート電極44を注入マスクとしてシリコン基板1内にボロンあるいはBF₂をイオン注入して、シリコン基板1の表面内に1対のエクステンション層26を形成する。この注入条件は、注入エネルギー1keV~50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ である。

【0103】1対のエクステンション層26はゲート電極44の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極44の下部のシリコン基板1の領域がチャネル領域となる。

【0104】ここで、高電圧CMOSTランジスタのエクステンション層25および26は、深さ約0.1 μm において不純物のピークを有し、そのピーク濃度が $1 \times 10^{18} / \text{cm}^3$ 程度となるように設定される。これは、高い電源電圧に起因するホットキャリアの発生を抑制するための設定であり、LDD (Lightly Doped Drain) 層と呼称することもできる。

【0105】レジストマスクR22を除去した後、図24に示す工程において、写真製版により、低電圧NMOS領域LNR、高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上を覆うようにレジストマスクR23を形成する。

【0106】そして、シリコン基板1を最大で60°程度傾け、低電圧PMOS領域LPRにおいてシリコン基板1内にヒ素あるいはリンのN型不純物をイオン注入し

てポケット層92を形成する。この注入条件は、注入エネルギー1keV~50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。

【0107】ポケット層92はシリコン基板1の主面に対して斜め方向に延在するように形成され、その先端部はゲート電極42の下部の領域まで延在している。

【0108】次に、図25に示す工程において、シリコン基板1の傾きを元に戻し、ゲート電極42を注入マスクとしてシリコン基板1内にボロンあるいはBF₂をイオン注入して、シリコン基板1の表面内に1対のエクステンション層52を形成する。この注入条件は、注入エネルギー1keV~50keV、ドーズ量 $1 \times 10^{13} \sim 4 \times 10^{15} / \text{cm}^2$ である。

【0109】1対のエクステンション層52はゲート電極42の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極42の下部のシリコン基板1の領域がチャネル領域となる。

【0110】次に、レジストマスクR23を除去した後、図26に示す工程において、写真製版により、低電圧PMOS領域LPR、高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上を覆うようにレジストマスクR24を形成する。そして、シリコン基板1を最大で60°程度傾け、NMOS領域NRにおいてシリコン基板1内にボロン等のP型不純物をイオン注入してポケット層91を形成する。この注入条件は、注入エネルギー1keV~50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。

【0111】ポケット層91はシリコン基板1の主面に対して斜め方向に延在するように形成され、その先端部は、ゲート電極41の下部の領域まで延在している。

【0112】次に、図27に示す工程において、シリコン基板1の傾きを元に戻し、ゲート電極41を注入マスクとしてシリコン基板1内にヒ素あるいはリンをイオン注入して、シリコン基板1の表面内に1対のエクステンション層51を形成する。この注入条件は、注入エネルギー1keV~50keV、ドーズ量 $1 \times 10^{13} \sim 4 \times 10^{15} / \text{cm}^2$ である。

【0113】1対のエクステンション層51はゲート電極41の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極41の下部のシリコン基板1の領域がチャネル領域となる。

【0114】レジストマスクR24を除去した後、図28に示す工程において、シリコン基板1の全面を覆うように厚さ10~200nmのシリコン酸化膜(図示せず)をCVD法により形成し、当該シリコン酸化膜がゲート電極41~44の側壁部のみに残るように、ゲート電極41および42の側面外方のシリコン基板1上のゲート絶縁膜3A、およびゲート電極43および44の側面外方のシリコン基板1上のゲート絶縁膜3Bとともに異方性エッチングにより除去して側壁保護膜(サイドウ

オール絶縁膜)6を形成する。なお、側壁保護膜はシリコン酸化膜に限定されず、シリコン窒化膜でも良いし、シリコン酸化膜とシリコン窒化膜との積層膜であっても良い。

【0115】また、側壁保護膜6はゲート電極41および42の側面外方のシリコン基板1上のゲート絶縁膜3Aの上部およびゲート電極43および44の側面外方のシリコン基板1上のゲート絶縁膜3Bの上部にも形成され、当該ゲート絶縁膜3Aおよび3Bと側壁保護膜6とで2層構造となるが、簡略化のため図28以後においては1層の側壁保護膜6として示している。

【0116】次に、図29に示す工程において、低電圧NMOS領域LNR、低電圧PMOS領域LPRおよび高電圧PMOS領域HPR上を覆うようにレジストマスクR25を形成する。そして、ゲート電極43および側壁保護膜6を注入マスクとしてシリコン基板1内にヒ素等のN型不純物をイオン注入し、シリコン基板1の表面内に1対のソース・ドレイン主要層27を形成する。この注入条件は、注入エネルギー10keV~100keV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0117】レジストマスクR25を除去した後、図30に示す工程において写真製版により、低電圧NMOS領域LNR、低電圧PMOS領域LPRおよび高電圧NMOS領域HNR上を覆うようにレジストマスクR26を形成する。そしてゲート電極44および側壁保護膜6を注入マスクとしてシリコン基板1内にボロンあるいはBF₂等のP型不純物をイオン注入して、シリコン基板1の表面内に1対のソース・ドレイン主要層28を形成する。この注入条件は、注入エネルギー10keV~100keV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0118】次に、レジストマスクR26を除去した後、図31に示す工程において、写真製版により、低電圧NMOS領域LNR、高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上を覆うようにレジストマスクR27を形成する。そして、低電圧PMOS領域LPRにおいてはゲート電極42および側壁保護膜6を注入マスクとしてシリコン基板1内にボロンあるいはBF₂等のP型不純物をイオン注入して、シリコン基板1の表面内に1対のソース・ドレイン主要層72を形成する。この注入条件は、注入エネルギー10keV~100keV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0119】レジストマスクR27を除去した後、図32に示す工程において、写真製版により、低電圧PMOS領域LPR、高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上を覆うようにレジストマスクR28を形成する。そして、低電圧NMOS領域NRにおいてはゲート電極41および側壁保護膜6を注入マスクとしてシリコン基板1内にヒ素等のN型不純物をイオン注

入し、シリコン基板1の表面内に1対のソース・ドレイン主要層71を形成する。この注入条件は、注入エネルギー10keV~100keV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ である。

【0120】その後、800~1100℃の温度条件下で、1秒~360分の熱処理を行うことでソース・ドレイン主要層71、72および27および28を活性化する。

【0121】次に、図33に示す工程において、シリコン基板1の全面を覆うように厚さ1~16nmの高融点金属膜、例えばコバルト膜(図示せず)を形成し、高温処理によりシリサイド化して、シリコン基板1、ゲート電極41~44の露出面とコバルト膜との接触部分にコバルトシリサイド膜8Aおよび10Aを形成する。その後、シリサイド化されずに残ったコバルト膜を除去することで、低電圧CMOSTランジスタ100Aおよび高電圧CMOSTランジスタ100Bが得られる。

【0122】<C-2. 作用効果>以上説明したように、異なる電源電圧で動作する2種類のCMOSTランジスタにおいてエクステンション層およびソース・ドレイン主要層を形成するには、低電圧CMOSTランジスタおよび高電圧CMOSTランジスタのそれぞれにおいて、レジストマスクの形成のために4回の写真製版工程が必要となる。

【0123】しかし、低電圧NMOS領域LNRのエクステンション層51の形成を、最後に行うようにすることで、CMOSTランジスタ100Aにおいて最終的に残るエクステンション層51は、レジストマスクR24を除去する際にエッチングを被るだけとなり、エッチング量は少なくなる。

【0124】この結果、エクステンション層51の接合深さが浅くなって、抵抗値すなわち、寄生抵抗値が増大することが防止され、電流駆動能力の低下が防止されて、半導体集積回路の動作速度の低下が防止されることになる。

【0125】なお、PMOS領域PRのエクステンション層52は、レジストマスクR23およびR24の除去によって2回のエッチングを被ることになるが、P型不純物は、N型不純物に比べて拡散量が大きく、P型不純物拡散層であるエクステンション層52はN型不純物拡散層であるエクステンション層51よりも深く形成されている。従って、エッチングにより除去される量がエクステンション層52よりも多くても、それによってエクステンション層51の抵抗がエクステンション層52よりも大きくなるということはない。すなわち、エッチングに対する余裕度は、エクステンション層52の方が大きい。

【0126】また、低電圧CMOSTランジスタのエクステンション層51および52は、高電圧CMOSTランジスタ25および26よりも浅いのでエッチングによ

る影響を受けやすいので、高電圧CMOSTランジスタ25および26よりも後に低電圧CMOSTランジスタのエクステンション層51および52を形成することで、エクステンション層51および52がエッチングを被る回数を低減して、寄生抵抗が増大することを防止できる。また、低電圧CMOSTランジスタのチャネル抵抗は、高電圧CMOSTランジスタのチャネル抵抗よりも低く、寄生抵抗である拡散層の抵抗の増大による影響は高電圧CMOSTランジスタよりも大きいので、低電圧CMOSTランジスタのエクステンション層51および52の抵抗値の増大を優先的に防止することは、半導体集積回路の動作速度の低下を防止するという点でより有効である。

【0127】なお、本実施の形態では異なる電源電圧で動作する2種類のCMOSTランジスタを例に採って説明したが、電源電圧が3種類あるいはそれ以上であっても本発明の適用は可能である。すなわち、電源電圧が最低のCMOSTランジスタおよび、それに次ぐCMOSTランジスタを、低電圧CMOSTランジスタ100Aおよび高電圧CMOSTランジスタ100Bとして想定し、上述した製造方法を採用すれば、電源電圧が最低のCMOSTランジスタのエクステンション層が被るエッチングの回数を削減できることは言うまでもない。

【0128】＜D. 実施の形態4＞以上説明した本発明に係る実施の形態1においては、低電圧NMOS領域のエクステンション層51を最後に形成することで、低電圧NMOS領域のエクステンション層51がエッチングを被る回数を低減して、エクステンション層が浅くなることを防止する方法について説明したが、以下に説明する本発明に係る実施の形態4においては、エクステンション層を保護絶縁膜で覆うことでエクステンション層のエッチングを防止する方法について説明する。

【0129】＜D-1. 製造方法＞以下、図34～図41を用いて本発明に係る実施の形態4として、低電圧CMOSTランジスタ200Aおよび高電圧CMOSTランジスタ200Bを有する半導体装置の製造方法について説明する。なお、低電圧CMOSTランジスタ200Aおよび高電圧CMOSTランジスタ200Bの構成は、最終工程を説明する図41において示される。なお、実施の形態3と同一の構成については同一の符号を付し、重複する説明は省略する。

【0130】まず、図20～図23を用いて説明した工程を経て、高電圧NMOS領域HNRのシリコン基板1の表面内に1対のエクステンション層25を形成し、また、高電圧PMOS領域HPRにおいては、シリコン基板1の表面内に1対のエクステンション層26を形成する。

【0131】そして、図34に示す工程において、写真製版により低電圧PMOS領域LPR、高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上を覆うよ

うにレジストマスクR31を形成する。そして、シリコン基板1を最大で60°程度傾け、NMOS領域NRにおいてシリコン基板1内にボロン等のP型不純物をイオン注入してポケット層91を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。

【0132】ポケット層91はシリコン基板1の主面に対して斜め方向に延在するように形成され、その先端部は、ゲート電極41の下部の領域まで延在している。

【0133】次に、図35に示す工程において、シリコン基板1の傾きを元に戻し、ゲート電極41を注入マスクとしてシリコン基板1内にヒ素あるいはリンをイオン注入して、シリコン基板1の表面内に1対のエクステンション層51を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 4 \times 10^{15} / \text{cm}^2$ である。

【0134】1対のエクステンション層51はゲート電極41の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極41の下部のシリコン基板1の領域がチャネル領域となる。

【0135】次に、レジストマスクR31を除去した後、図36に示す工程において、シリコン基板1の全面に、CVD法により厚さ1～20nmの保護絶縁膜14を形成する。

【0136】次に、図37に示す工程において、写真製版により、低電圧NMOS領域LNR、高電圧NMOS領域HNRおよび高電圧PMOS領域HPR上を覆うようにレジストマスクR32を形成する。

【0137】そして、シリコン基板1を最大で60°程度傾け、低電圧PMOS領域LPRにおいてシリコン基板1内にヒ素あるいはリンのN型不純物をイオン注入してポケット層92を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ である。

【0138】ポケット層92はシリコン基板1の主面に対して斜め方向に延在するように形成され、その先端部は、ゲート電極42の下部の領域まで延在している。

【0139】次に、図25に示す工程において、シリコン基板1の傾きを元に戻し、ゲート電極42を注入マスクとしてシリコン基板1内にボロンあるいはBF₃をイオン注入して、シリコン基板1の表面内に1対のエクステンション層52を形成する。この注入条件は、注入エネルギー1keV～50keV、ドーズ量 $1 \times 10^{13} \sim 4 \times 10^{15} / \text{cm}^2$ である。

【0140】1対のエクステンション層52はゲート電極42の下部のシリコン基板1の領域を間に挟んで、対向するように配設されている。なお、ゲート電極42の下部のシリコン基板1の領域がチャネル領域となる。

【0141】レジストマスクR32を除去した後、図39に示す工程において、保護絶縁膜14の上部全面を覆

うように厚さ10～200nmのシリコン酸化膜6をCVD法により形成する。

【0142】次に、図40に示す工程において、保護絶縁膜14およびシリコン酸化膜6がゲート電極41～44の側壁部に残るように、ゲート電極41および42の側面外方のシリコン基板1上のゲート絶縁膜3Aとともに保護絶縁膜14およびシリコン酸化膜6を異方性エッチングにより除去し、また、ゲート電極43および44の側面外方のシリコン基板1上のゲート絶縁膜3Bとともに保護絶縁膜14およびシリコン酸化膜6を異方性エッチングにより除去して側壁保護膜16を形成する。

【0143】側壁保護膜16は保護絶縁膜14とシリコン酸化膜6とで2層構造となり、ゲート電極41および42の側面外方のシリコン基板1上のゲート絶縁膜3Aの上部、およびゲート電極43および44の側面外方のシリコン基板1上のゲート絶縁膜3Bの上部にも形成される。

【0144】以後は、図29を用いて説明した工程と同様の工程を経て、高電圧NMOS領域HNRにおいてゲート電極43および側壁保護膜16を注入マスクとしてシリコン基板1内にヒ素等のN型不純物をイオン注入し、シリコン基板1の表面内に1対のソース・ドレイン主要層27を形成し、また、図30を用いて説明した工程と同様の工程を経て、高電圧PMOS領域HPRにおいてゲート電極44および側壁保護膜16を注入マスクとしてシリコン基板1内にボロンあるいはBF₂等のP型不純物をイオン注入して、シリコン基板1の表面内に1対のソース・ドレイン主要層28を形成し、また、図31を用いて説明した工程と同様の工程を経て、低電圧PMOS領域LPRにおいてゲート電極42および側壁保護膜16を注入マスクとしてシリコン基板1内にボロンあるいはBF₂等のP型不純物をイオン注入して、シリコン基板1の表面内に1対のソース・ドレイン主要層72を形成し、また、図32を用いて説明した工程と同様の工程を経て、低電圧NMOS領域LNRにおいてゲート電極41および側壁保護膜16を注入マスクとしてシリコン基板1内にヒ素等のN型不純物をイオン注入し、シリコン基板1の表面内に1対のソース・ドレイン主要層71を形成する。なお、ソース・ドレイン主要層71、72、27および28の形成順序は上記に限定されるものではない。

【0145】その後、800～1100℃の温度条件下で、1秒～360分の熱処理を行うことでソース・ドレイン主要層71、72、27および28を活性化する。

【0146】そして、図41に示す工程において、シリコン基板1の全面を覆うように厚さ1～16nmの高融点金属膜、例えばコバルト膜(図示せず)を形成し、高温処理によりシリサイド化して、シリコン基板1、ゲート電極41および42の露出面とコバルト膜との接触部分にコバルトシリサイド膜8Aおよび10Aを形成す

る。その後、シリサイド化されずに残ったコバルト膜を除去することで、低電圧CMOSTランジスタ200Aおよび高電圧CMOSTランジスタ200Bが得られる。

【0147】＜D-2. 作用効果＞以上説明したように、本実施の形態においては、低電圧NMOS領域LNRのエクステンション層51は低電圧PMOS領域LPRのエクステンション層52よりも先に形成することになるが、図35に示す工程でエクステンション層51を形成した後に、レジストマスクR31を除去する際にエッチングを被るだけであり、その後は保護絶縁膜14で覆われて保護されるのでエッチングを被ることはなく、エッチング量は少なくなる。

【0148】この結果、エクステンション層51の接合深さが浅くなって、抵抗値すなわち、寄生抵抗値が増大することが防止され、電流駆動能力の低下が防止されて、半導体集積回路の動作速度の低下が防止されることになる。

【0149】なお、本実施の形態においても、実施の形態2と同様にNMOS領域NRおよびPMOS領域PR上にゲート電極41～44をパターンニングした直後に保護絶縁膜14を形成し、NMOS領域NRおよびPMOS領域PRに、エクステンション層51、52、25および26を形成するようにしても良いが、エクステンション層51および26の形成においては注入条件および熱処理に工夫が望ましいことは言うまでもない。

【0150】なお、本実施の形態では異なる電源電圧で動作する2種類のCMOSTランジスタを例に採って説明したが、電源電圧が3種類あるいはそれ以上であっても本発明の適用は可能である。すなわち、電源電圧が最低のCMOSTランジスタおよび、それに次ぐCMOSTランジスタを、低電圧CMOSTランジスタ200Aおよび高電圧CMOSTランジスタ200Bとして想定し、上述した製造方法を採用すれば、電源電圧が最低のCMOSTランジスタのエクステンション層が被るエッチングの回数を削減できることは言うまでもない。

【0151】＜D-3. 変形例＞以上の説明においては、保護絶縁膜14をCVD法により形成するとしたが、CVD法に限定されるものではなく、熱酸化法により形成しても良い。基板表面の保護絶縁膜である保護絶縁膜14を膜厚制御の容易な熱酸化により形成することで、膜厚のばらつきによるデバイス特性のばらつきを低減できる。

【0152】また、基板表面の保護絶縁膜としてはシリコン酸化膜に限定されるものではなく、シリコン酸化膜の代わりにCVD法により形成したシリコン窒化膜を用いても良い。

【0153】シリコン窒化膜はシリコン酸化膜に比べて、アンモニア過水に対してエッチングされにくいので、シリコン酸化膜を使用する場合よりも薄く、厚さ1

～15 nmに設定され、デバイス特性への影響を軽減することができる。

【0154】また、上記シリコン窒化膜は熱窒化法により形成しても良い。膜厚制御の容易な熱窒化法により形成することで、膜厚のばらつきによるデバイス特性のばらつきを低減できる。

【0155】

【発明の効果】本発明に係る請求項1記載の半導体装置の製造方法によれば、第1のNMOS領域において1対のN型エクステンション層を形成した後、半導体基板の全面に保護絶縁膜を形成し、その後、第1のPMOS領域において1対のP型エクステンション層を形成するので、N型エクステンション層がエッチングを被るのは、第1のレジストマスク除去するに際してだけとなり、その後は保護絶縁膜によって保護されるのでエッチング量は少なくなる。この結果、N型エクステンション層の接合深さが浅くなって、抵抗値すなわち、寄生抵抗値が増大することが防止され、電流駆動能力の低下が防止され、動作速度の低下を防止した半導体装置を得ることができる。また、N型不純物であるヒ素やリンは、P型不純物であるボロンに比べて拡散係数が小さいので、P型エクステンション層形成後にN型エクステンション層を形成する場合には、P型エクステンション層への影響を及ぼすのでN型エクステンション層の活性化のための熱処理を十分に行えないが、本発明においてはN型エクステンション層形成後にP型エクステンション層を形成するので、N型エクステンション層の活性化のための熱処理を十分に行うことができ、イオン注入による基板の損傷回復や不純物の拡散を確実に行うことができる。

【0156】本発明に係る請求項2記載の半導体装置の製造方法によれば、1対のN型およびP型エクステンション層の深さが0.1 μm よりも浅く、半導体基板表面近傍で不純物濃度が最大となり、最大不純物濃度が $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ となるので、抵抗値が低く、また短チャネル効果の抑制に効果的なエクステンション層を得ることができる。

【0157】本発明に係る請求項3記載の半導体装置の製造方法によれば、1対のP型エクステンション層を形成した後1対のN型エクステンション層を形成するので、N型エクステンション層は第1のレジストマスク除去するに際してはエッチングを被らず、エッチング量は少なくなる。この結果、N型エクステンション層の接合深さが浅くなって、抵抗値すなわち、寄生抵抗値が増大することが防止され、電流駆動能力の低下が防止され、動作速度の低下を防止した半導体装置を得ることができる。また、1対のN型エクステンション層の深さが0.1 μm よりも浅く、半導体基板表面近傍で不純物濃度が最大となり、最大不純物濃度が $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ となるので、抵抗値が低く、また短チャネル効果の抑制に効果的なエクステンション層を得る

ことができる。

【0158】本発明に係る請求項4記載の半導体装置の製造方法によれば、動作電圧が高い第2のNMOSトランジスタおよび第2のPMOSトランジスタをさらに形成する際には、第2のNMOSトランジスタを形成するための第2のNMOS領域および第2のPMOSトランジスタを形成するための第2のPMOS領域の表面内に、1対のN型不純物層および1対のP型不純物層を形成する工程をさらに備えることになるので、半導体基板がエッチングを被る頻度は高まる。しかし、第1のNMOSトランジスタの備えるN型エクステンション層がエッチングを被るのは、第1のレジストマスク除去するに際してだけであり、エッチング量は少なくなる。この結果、例えば、電源電圧の異なるCMOSトランジスタを有する半導体装置において、低電圧の第1のNMOSトランジスタのN型エクステンション層の接合深さが浅くなって、抵抗値すなわち、寄生抵抗値が増大することが防止され、電流駆動能力の低下が防止され、動作速度の低下を防止した半導体装置を得ることができる。

【0159】本発明に係る請求項5記載の半導体装置の製造方法によれば、保護絶縁膜を1 nm～20 nmの厚さに形成するので、保護絶縁膜が部分的に残る場合でも、デバイス特性への影響を軽減することができる。

【0160】本発明に係る請求項6記載の半導体装置の製造方法によれば、保護絶縁膜をCVD法によりシリコン酸化膜として形成するので、ステップカバレッジの良好な保護絶縁膜を得ることができる。

【0161】本発明に係る請求項7記載の半導体装置の製造方法によれば、保護絶縁膜を熱酸化法によりシリコン酸化膜として形成するので、膜厚制御が容易にでき、膜厚のばらつきによるデバイス特性のばらつきを低減できる。

【0162】本発明に係る請求項8記載の半導体装置の製造方法によれば、保護絶縁膜をCVD法によりシリコン窒化膜として形成するのでステップカバレッジの良好な保護絶縁膜を得ることができるとともに、シリコン窒化膜はアンモニア過水に対してエッチングされにくいので、シリコン酸化膜を使用する場合よりも薄くでき、デバイス特性への影響を軽減することができる。

【0163】本発明に係る請求項9記載の半導体装置の製造方法によれば、保護絶縁膜を熱窒化法によりシリコン窒化膜として形成するので、膜厚制御が容易にでき、膜厚のばらつきによるデバイス特性のばらつきを低減できる。

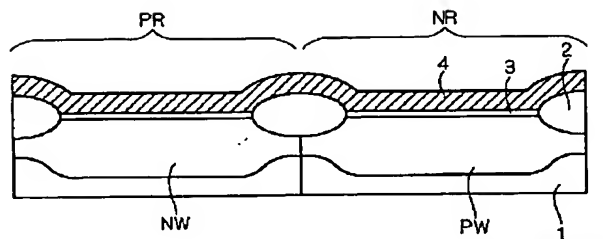
【図面の簡単な説明】

【図1】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

【図2】 本発明に係る実施の形態1の半導体装置の製造工程を示す断面図である。

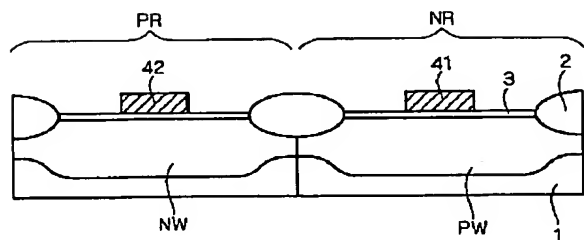
【図3】 本発明に係る実施の形態1の半導体装置の製

【図1】



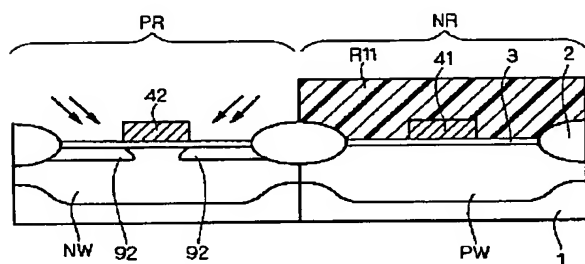
3 : ゲート絶縁膜

【図2】

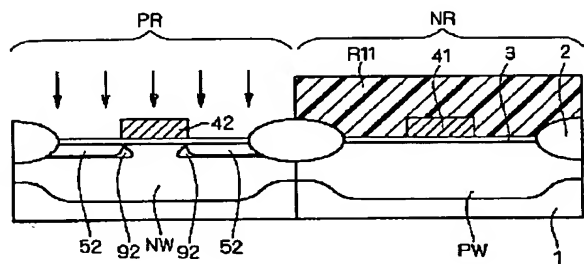


41, 42 : ゲート電極

【図3】

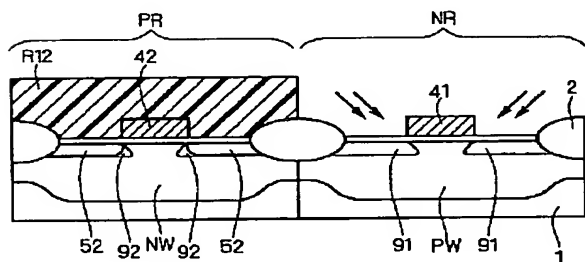


【図4】

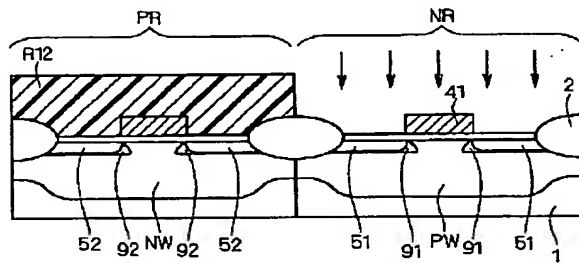


62 : エクステンション層

【図5】

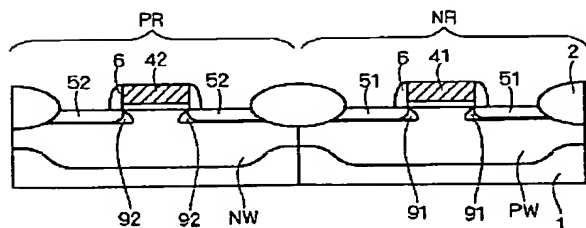


【図6】

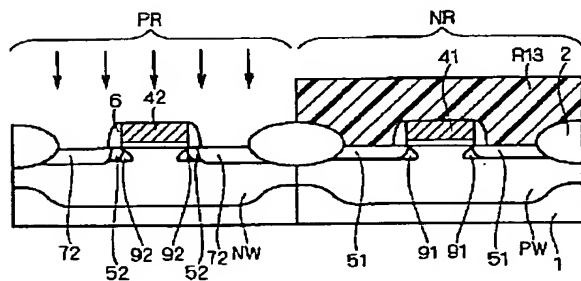


51 : エクステンション層

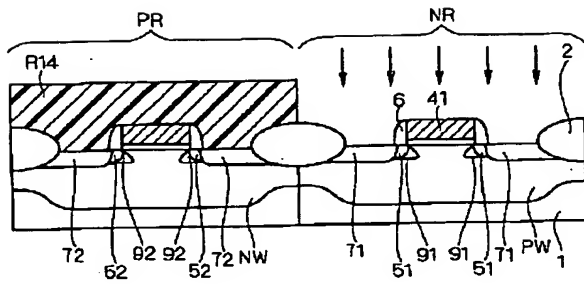
【図7】



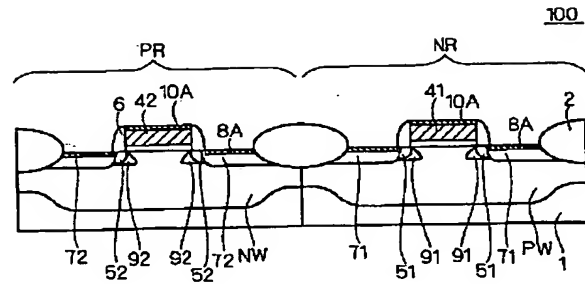
【図8】



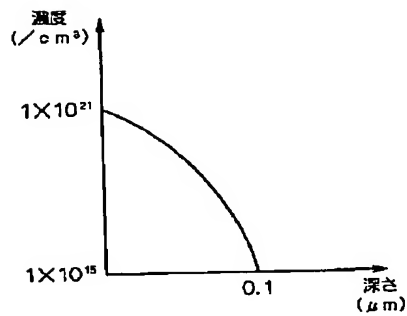
【図9】



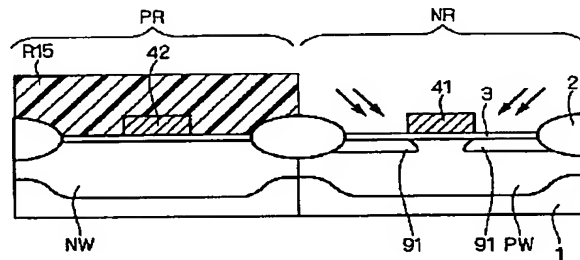
【図10】



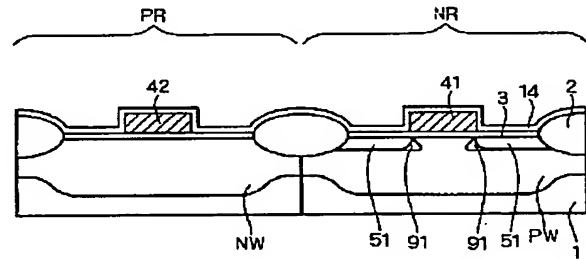
【図11】



【図12】

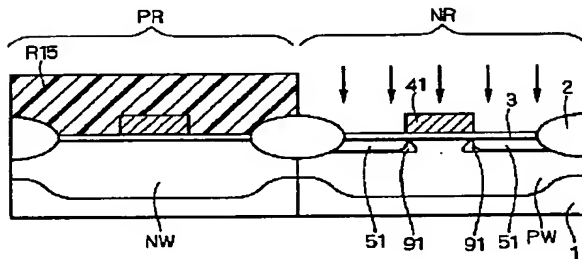


【図14】

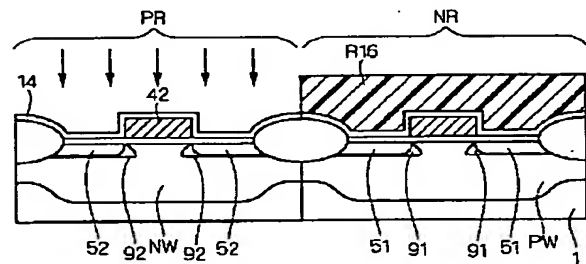


14 : 保護絶縁膜

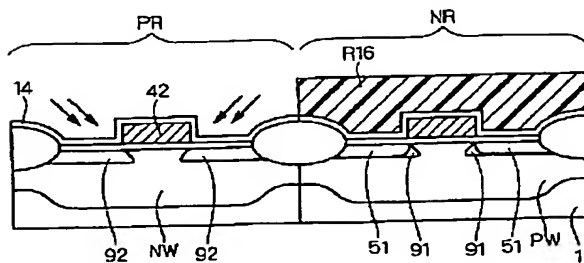
【図13】



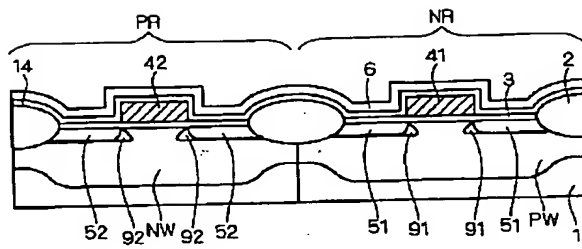
【図16】



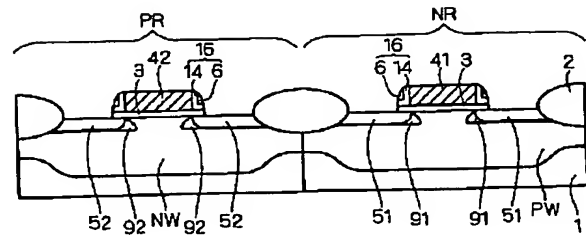
【図15】



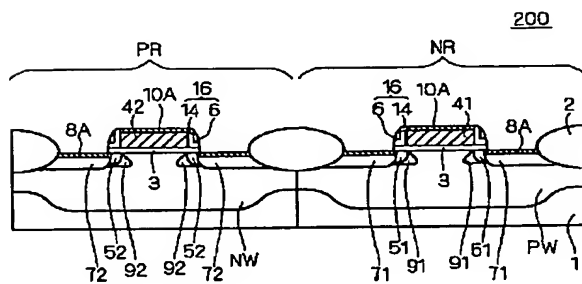
【図17】



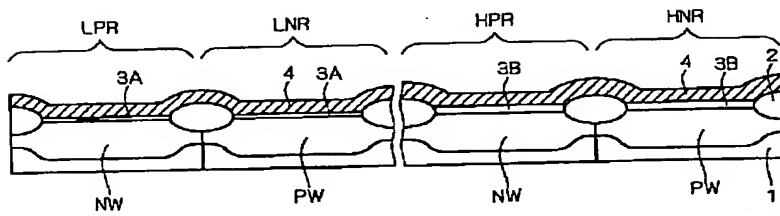
【図18】



【図19】

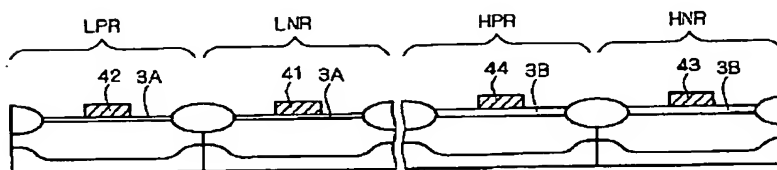


【図20】

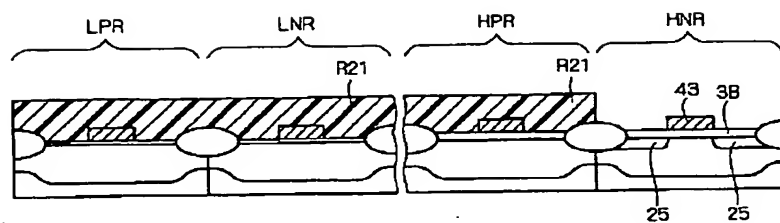


3A, 3B: ゲート絶縁膜

【図21】

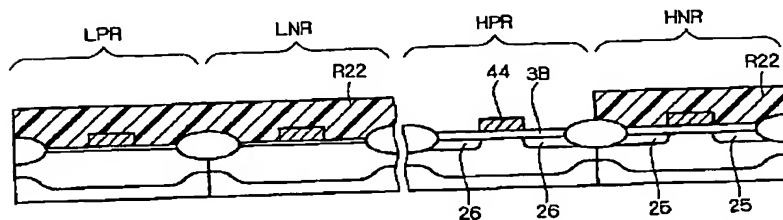


【図22】

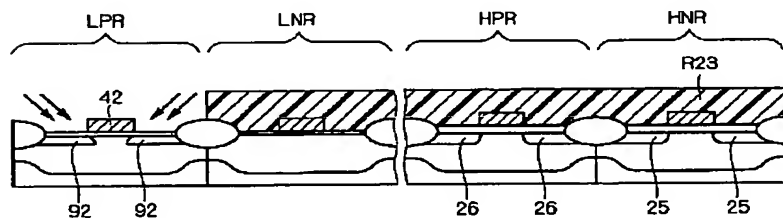


25 : エクステンション層

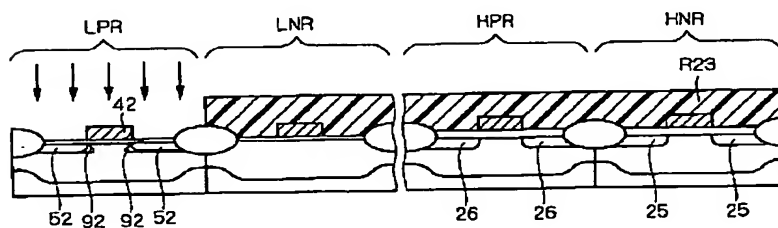
【図23】



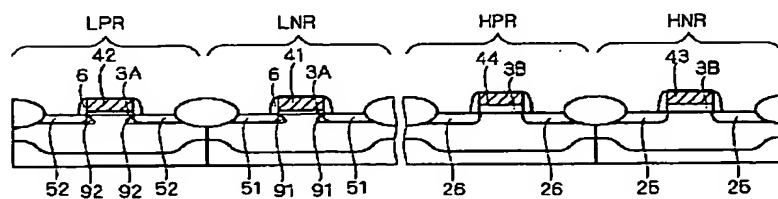
【図24】



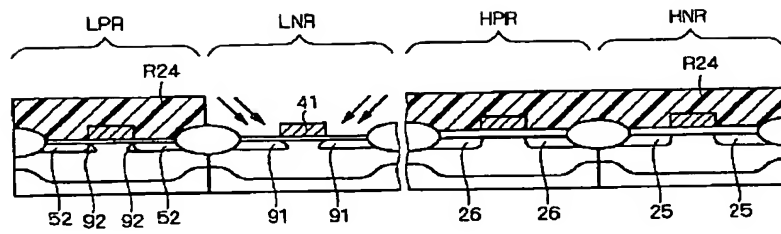
【図25】



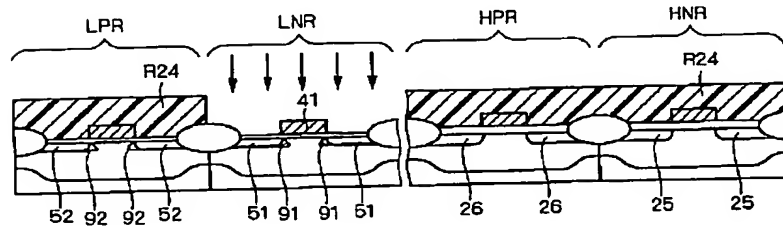
【図28】



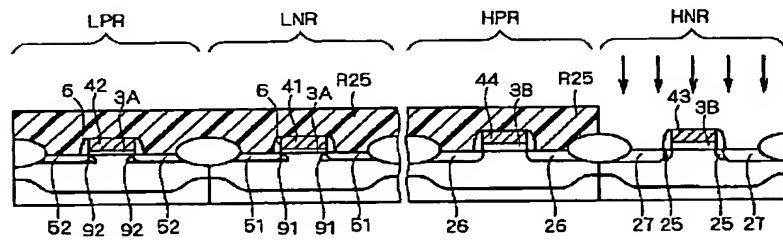
【図26】



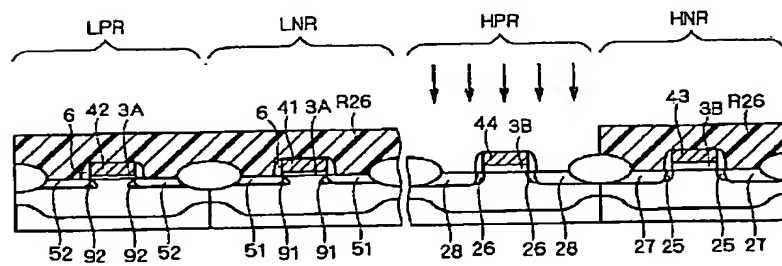
【図27】



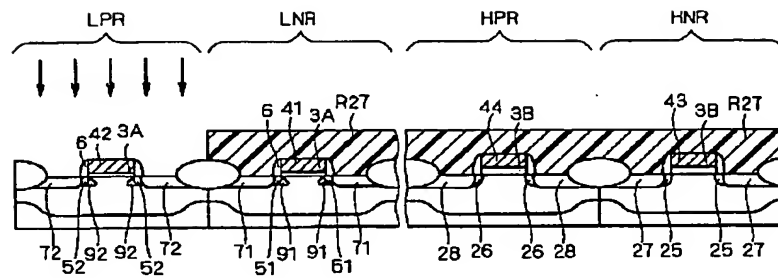
【図29】



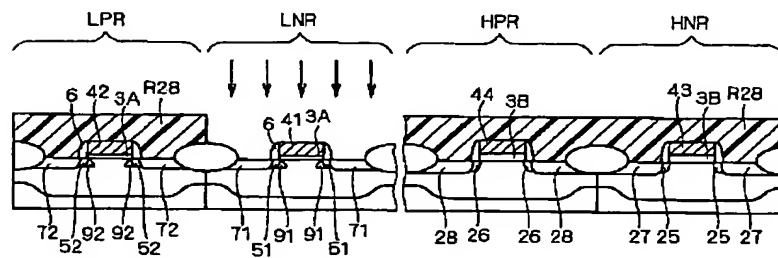
【図30】



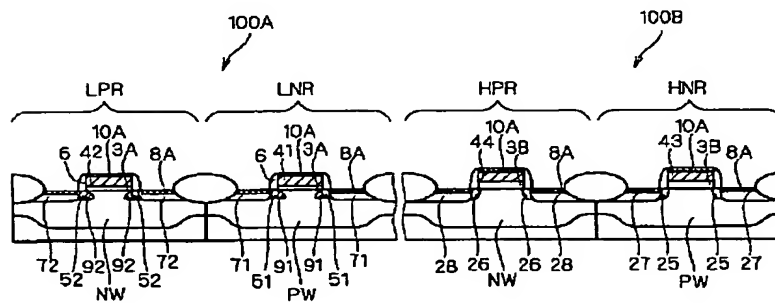
【図31】



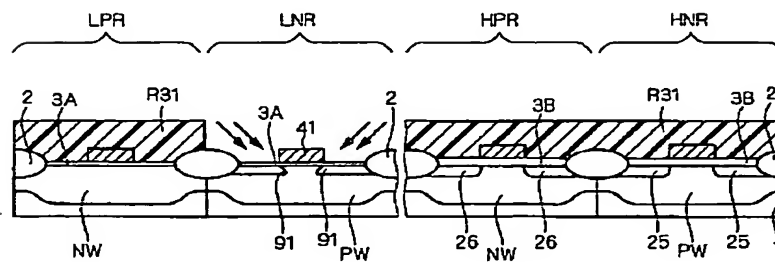
【図32】



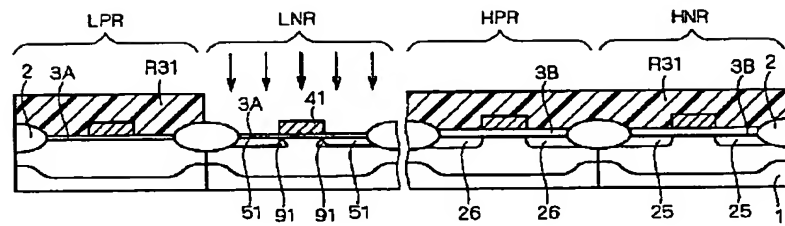
【図33】



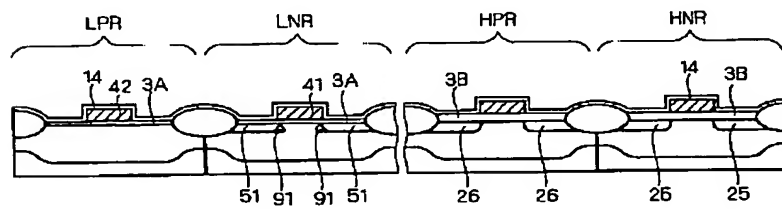
【図34】



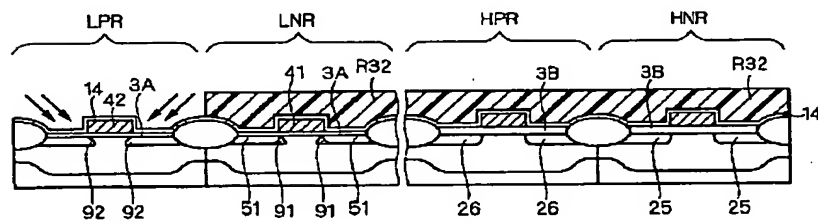
【図35】



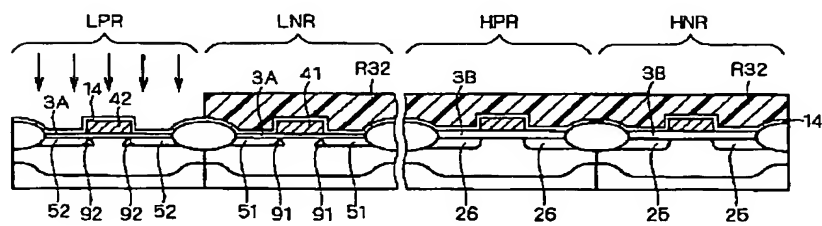
【図36】



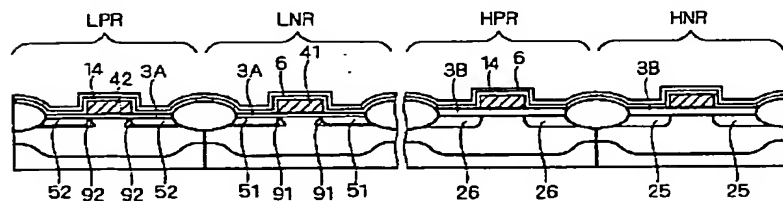
【図37】



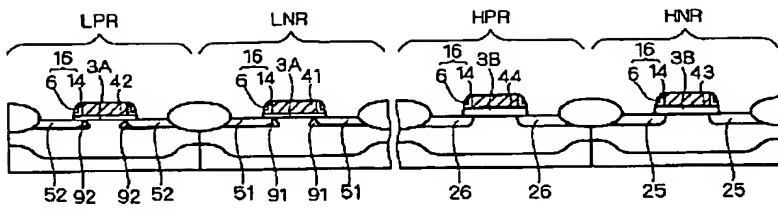
【図38】



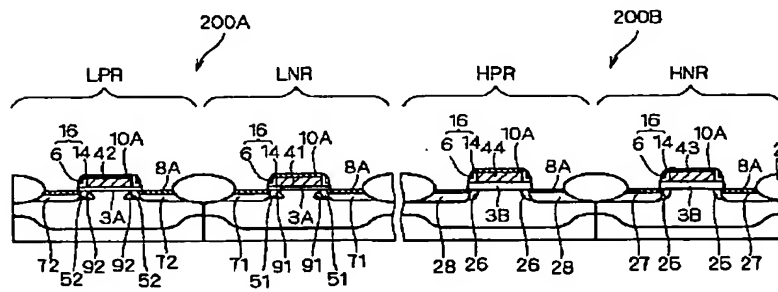
【図39】



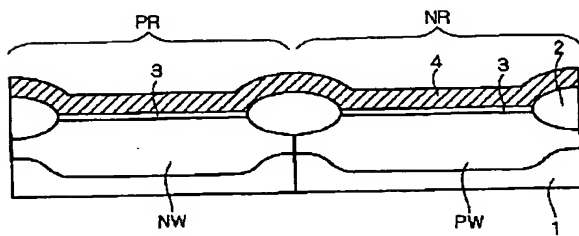
【図40】



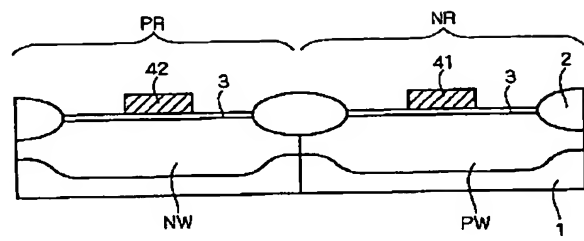
【図41】



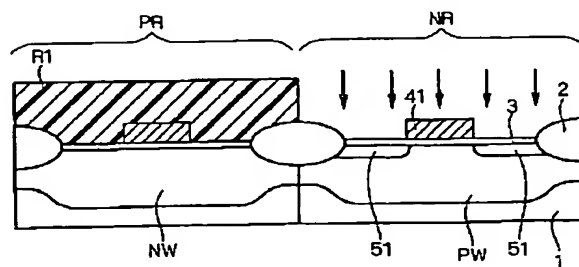
【図42】



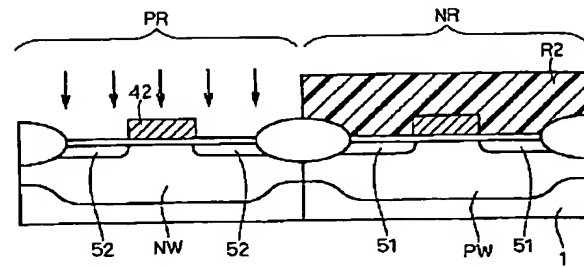
【図43】



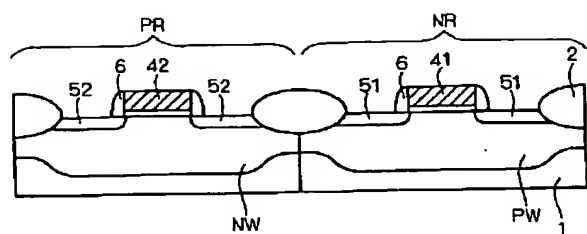
【図44】



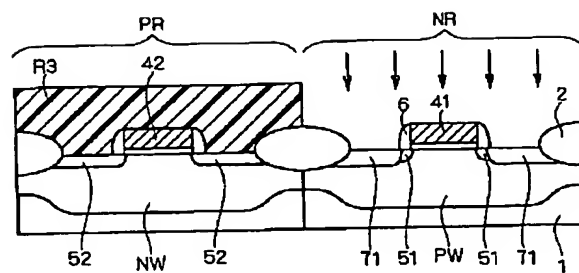
【図45】



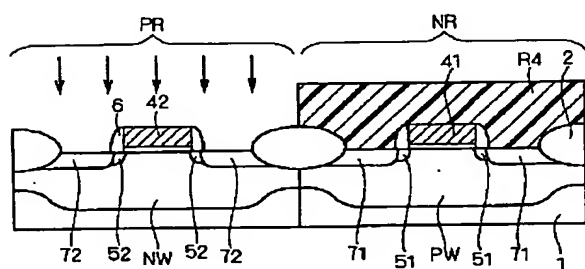
【図46】



【図47】



【図48】



【図49】

